



## PATENT ABSTRACTS OF JAPAN

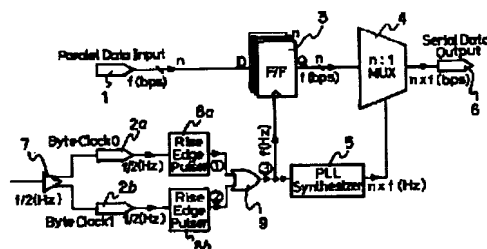
(11) Publication number: **09307457 A**(43) Date of publication of application: **28.11.97**(51) Int. Cl. **H03M 9/00**(21) Application number: **08119166**(71) Applicant: **SONY CORP**(22) Date of filing: **14.05.96**(72) Inventor: **YANO MOTOYASU**(54) **PARALLEL/SERIAL CONVERSION CIRCUIT**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To halve a frequency of a basic clock pulse to be applied for drive at the same data rate by detecting a rising edge of the basic clock pulse and a rising edge of an inverted pulse respectively.

**SOLUTION:** From a parallel data input terminal 1, n-bit data are received at a data rate fbps. A circuit 7 generates an in-phase byte clock pulse Byte Clock 0 and an inverted byte clock pulse Byte Clock 1 from the basic clock pulse of a frequency  $f/2\text{Hz}$  and gives them to byte clock pulse input terminals 2a, 2b. An OR circuit 9 receives outputs (1), (2) of edge detection circuits 8a, 8b and its output (3) acts like a byte clock pulse of a frequency  $f\text{Hz}$ . An input section 3 is driven by the byte clock pulse (3), a multiplexer 4 is driven by a PLL synthesizer 5 and provides an output of serial data at a data rate of n.fbps.

COPYRIGHT: (C)1997,JPO





(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 3 0 7 4 5 7

(43) 公開日 平成9年(1997)11月28日

(51) Int. Cl. <sup>5</sup>

H 0 3 M 9/00

識別記号

庁内整理番号

9382-5 K

F I

H 0 3 M 9/00

B

技術表示箇所

審査請求 未請求 請求項の数 2

O L

(全 7 頁)

(21) 出願番号 特願平8-119166

(22) 出願日 平成8年(1996)5月14日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 矢野 元康

東京都品川区北品川6丁目7番35号

ソニー株式会社内

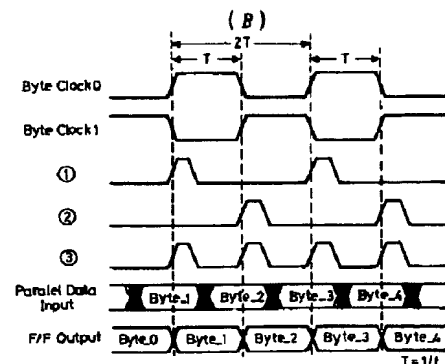
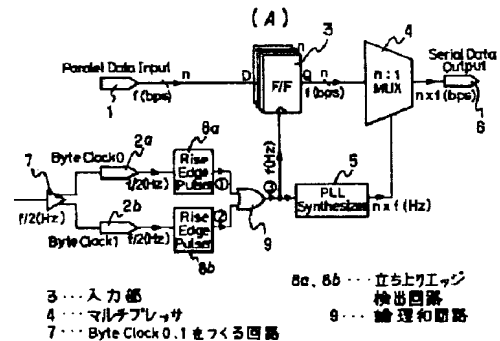
(74) 代理人 弁理士 尾川 秀昭

(54) 【発明の名称】 パラレルシリアル変換回路

(57) 【要約】

【課題】 同じデータレートに対して駆動のために印加すべき基本クロックパルスの周波数を2分の1にすることができ、延いては前段の回路の動作スピードを半分で済むようにし、ノイズによる悪影響、例えばシリアルデータのジッタを無くす。

【解決手段】 パラレルデータのデータレート  $[f \text{ (bps)}]$  の半分の周波数  $f/2 \text{ [Hz]}$  のクロックパルスを基本クロックパルスとし、その反転パルスをつくり、その基本クロックパルスの立ち上がり(或いは立ち下がり)エッジと、その基本クロックパルスを反転したパルスの立ち上がり(或いは立ち下がり)エッジを検出し、その二つのエッジ検出出力の論理和からパラレルデータと同じ周波数のバイトクロックパルスをつくるようにする。



## 【特許請求の範囲】

【請求項1】  $n$  ビットのパラレルデータをラッチする入力部と、該入力部に入力された  $n$  ビットのパラレルデータを1ビットずつシリアルに出力するマルチプレクサと、上記入力部を制御するバイトクロックパルスから該マルチプレクサを制御するビットクロックパルスをつくるビットクロックパルス発生部とを少なくとも備えたパラレルシリアル変換回路において、

パラレルデータのデータレートの半分の周波数のクロックパルスを受け、その立ち上がり又は立ち下がりエッジを検出する第1のエッジ検出部と、

上記クロックパルスの反転パルスを受け、その立ち上がり又は立ち下がりエッジのうち上記第1のエッジ検出部が検出するのと同じエッジを検出する第2のエッジ検出部と、

上記第1及び第2のエッジ検出部の検出出力の論理和を得る論理和回路と、

を有し、

上記論理和回路の出力パルスをバイトクロックパルスとして上記入力部及びビットクロックパルス発生部に印加するようにしてなることを特徴とするパラレルシリアル変換回路。

【請求項2】 ビットクロックパルス発生部がPLLシンセサイザからなり、

その周波数帯域が論理和回路から出力されるバイトクロックパルスの周波数に 응답しない低い帯域に設定されることを特徴とする請求項1記載のパラレルシリアル変換回路

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、パラレルシリアル変換回路、特に同じ駆動周波数に対するパラレルデータのデータレートを2倍にすることができる、換言すれば、同じデータレートに対して駆動周波数を2分の1にすることができるパラレルシリアル変換回路に関する。

## 【0002】

【従来の技術】 図5はパラレルシリアル変換回路の従来例を示す回路ブロック図で、図面において、1はパラレルデータ入力端子で、 $n$  (正の整数) ビット分あるが、便宜上1個の入力端子のみを示す。このパラレルデータのデータレートを  $f$  (bps) とする。2はバイトクロックパルス ( $f$ : その周波数) を受けるバイトクロックパルス入力端子、3はパラレルデータを受け、それをラッチする  $n$  個のフリップフロップ回路  $F/F$  からなる入力部で、バイトクロックパルスにより駆動される。

【0003】 4はマルチプレクサで、入力部3からのパラレルデータを1ビットずつ順番にシリアルに出力する。そのデータレートは  $n \cdot f$  (bps) である。5はそのマルチプレクサ4を駆動するビットクロックパルスを発生するPLLシンセサイザで、バイトクロックパ

スを受け、その  $n$  倍の周波数  $n \cdot f$  (Hz) のビットクロックパルスを発生する。6はマルチプレクサ4からのシリアルデータを出力する出力端子である。そのビットクロックパルスの周波数  $n \cdot f$  は例えば1.25GHzである。

【0004】 次に動作説明をする。 $n$  ビットのパラレルデータが入力端子1から入力されると共に、バイトクロックパルス入力端子2からバイトクロックパルスが入力されると、そのパラレルデータは  $n$  個のフリップフロップ  $F/F$  からなる入力部3に取り込まれ、そしてマルチプレクサ4に入力される。そして、PLLシンセサイザ5はそのバイトクロックパルスを受けるとそれに同期してその  $n$  倍の周波数  $n \cdot f$  を有するビットクロックパルスを発生しそれによりマルチプレクサ4を駆動する。すると、マルチプレクサ4により  $n$  ビットのパラレルデータが1ビットずつシリアルに出力される。そのデータレートは  $n \cdot f$  (bps) となる。

【0005】 図5に示すパラレルシリアル変換回路は周波数が  $f$  (Hz) のバイトクロックパルスを駆動用パルスとして受け、PLLシンセサイザ4によりその  $n$  倍の周波数  $n \cdot f$  を有するビットクロックパルスをつくり、そして、 $f$  (bps) のデータレートで入力されるパラレルデータを、 $n \cdot f$  (bps) のデータレートでシリアルデータに変換して出力する。

## 【0006】

【発明が解決しようとする課題】 ところで、通常、パラレルシリアル変換回路は極めて高速で動作する必要があるので、その前段の信号処理用ICは、信号処理用ICとして最も一般に用いられるCMOSICを用いることが難しく、極めて高速な動作が可能なバイポーラIC或いはGaAs半導体ICを用いざるを得ない場合が多くなっている。

【0007】 通常、パラレルデータはNRZ (Non Return Zero) の信号なので、その最高動作周波数はデータレートの半分の周波数  $f/2$  (Hz) でよい筈である。しかしながら、このデータに同期した周波数  $f$  (Hz) のバイトクロックパルスをも出力しなければならないので、結局、従来においては、パラレルシリアル変換回路の前段の信号処理用ICの出力の動作周波数はデータレートと同じ周波数でなければならなかった。

【0008】 即ち、パラレルデータのデータレートは、バイトクロックパルスの周波数により律速されていたのである。また、高い周波数のバイトクロックパルスを伝送すると、それがノイズ源となり、その結果、PLLシンセサイザ4の特性を劣化させ、延いてはシリアルデータのジッタの原因となるという問題もあった。

【0009】 本発明はこのような問題点を解決すべく為されたものであり、同じデータレートに対して駆動のために印加すべき基本クロックパルスの周波数を2分の1

10

20

30

40

50

にすることができ、延いては前段の回路の動作スピードを半分で済むようにし、ノイズによる悪影響、例えばシリアルデータのジッタを無くすることを目的とする。

#### 【0010】

【課題を解決するための手段】本発明パラレルシリアル変換回路は、パラレルデータのデータレート $[f \text{ (bps)}]$ の半分の周波数 $f/2 \text{ [Hz]}$ のクロックパルスを基本クロックパルスとし、その反転パルスをつくり、その基本クロックパルスの立ち上がり（或いは立ち下がり）エッジと、その基本クロックパルスを反転したパルスの立ち上がり（或いは立ち下がり）エッジを検出し、その二つのエッジ検出出力の論理和からパラレルデータと同じ周波数のバイトクロックパルスをつくるようにしたものである。

【0011】本発明パラレルシリアル変換回路によれば、基本クロックパルスの立ち上がり（或いは立ち下がり）エッジと、その基本クロックパルスの反転パルスの立ち上がり（或いは立ち下がり）エッジをそれぞれ検出し、その検出の度にパルスを発生することができるので、そのパルスは基本クロックパルスに同期し、その2倍の周波数を有するパルスとなり、バイトクロックパルスとして入力部の制御に用いることができると共に、ビットクロックパルスの発生元となるパルスとしてパルス発生回路に入力することができる。

【0012】従って、パラレルシリアル変換回路に入力する駆動用基本クロックパルスはパラレルデータのデータレートの半分の周波数でよく、パラレルシリアル変換回路前段の信号処理回路の動作スピードを従来の半分で済む。従って、従来だと、パラレルシリアル変換回路前段の信号処理用ICとして例えばバイポーラIC或いはGaAs半導体ICを用いざるを得なかった場合でも、本発明の適用によりCMOSICを用いても差し支えないというケースが多くなる。

【0013】そして、同じ基本クロックパルスの正相と逆相とを用いるので、その正逆両相のパルスが変化するとき発生するノイズが互いに打ち消し合い、その結果としてクロックノイズが非常に小さくなり、好ましい。

【0014】尚、上記基本クロックパルスの正相と逆相のパルスの間にスキューが生じ得るが、PLLシンセサイザの周波数帯域を、変調周波数 $f/2$ に定常しない帯域に設定することとすれば問題は生じない。というのは、そのようにするとPLLシンセサイザは図4に示すように $2T$ （ $T=1/f$ ）の周期で位相変調することになり、PLLシンセサイザの周波数応答帯域を制限しているループフィルタ等でこのような高い変調周波数の位相変調を除去してしまうからである。

#### 【0015】

【発明の実施の形態】以下、本発明を図示実施の形態に従って詳細に説明する。図1（A）、（B）は本発明パラレルシリアル変換回路の第1の実施の形態を示すもの

で、（A）は回路ブロック図、（B）はその動作を示すタイミングチャートである。図面において、1はパラレルデータ入力端子で、 $n$ （正の整数）ビット分あるが、便宜上1個の入力端子のみを示す。このパラレルデータのデータレートを $f \text{ (bps)}$ とする。 $f$ は $f/2 \text{ (Hz)}$ の周波数の基本クロックパルスから、それと同相のバイトクロックパルスByte Clock0と、それを反転した逆相のバイトクロックパルスByte Clock1をつくる回路で、該クロックパルスByte Clock0及びByte Clock1はバイトクロックパルス入力端子2a、2bに入力される。

【0016】8a、8bはバイトクロックパルスByte Clock0、バイトクロックパルスByte Clock1の立ち上がりエッジを検出する立ち上がりエッジ検出回路で、例えば図2（A）或いは図3（A）に示すような回路構成を有している。図2（A）に示すものは、バイトクロックパルスByte Clock0（又はByte Clock1）（図2においてはINという符号を与えている。）をそのままアンド回路10の一方の入力端子に印加し、他方の入力端子にはバイトクロックパルスByte Clock0（又はByte Clock1）をインバータ11により反転し、その反転した信号Dを遅延回路12により遅延させた信号Eを印加してなる。そして、図2（B）に示すように、そのアンド回路10からバイトクロックパルスByte Clock0（又はByte Clock1）の立ち上がり時毎にパルスが発生する出力OUTが得られる。尚、遅延回路12は例えばCRを用いたものであっても良いし、ゲートを適宜な段数連続接続したものであっても良い。

【0017】また、図3（A）に示すものは、後述するPLLシンセサイザ（5）の出力パルスを利用し、クリア付きフリップフロップ回路F/F1～3により図4（B）に示すように、バイトクロックパルスByte Clock0（又はByte Clock1 図4ではIN）の立ち上がりに同期してパルスが発生する出力OUTを得ることができる。

【0018】尚、本実施の形態では、バイトクロックパルスByte Clock0、Byte Clock1の立ち上がりエッジを検出するようにしているが、必ずしもそれに限定されるものではなく、立ち下がりエッジを検出するようにしても良い。

【0019】9は立ち上がりエッジ検出回路8a、8bの出力①、②を受ける論理和回路で、その出力③が周波数 $f \text{ (Hz)}$ のバイトクロックパルスとしての役割を果たす。3はパラレルデータを受け、それをラッチする $n$ 個のフリップフロップ回路F/Fからなる入力部で、バイトクロックパルス③（ $f \text{ Hz}$ ）により駆動される。4はマルチプレクサで、入力部3からのパラレルデータを1ビットずつ順番にシリアルに出力する。そのデータレートは $n \cdot f \text{ (bps)}$ である。5はそのマルチプレクサ4を駆動するビットクロックパルスを発生するPLL

シンセサイザで、バイトクロックパルス③を受け、その  $n$  倍の周波数  $n \cdot f$  (Hz) のビットクロックパルスを発生する。6はマルチプレクサ4からのシリアルデータを出力する出力端子である。

【0020】次に動作説明をする。 $n$ ビット(例えば既に前段の例えばCMOS ICにおいて8b/10b変換されて現在 $n=10$ )の平行データが入力端子1から入力される。一方、それと共に、クロックパルス入力端子2aからバイトクロックパルスByte Clock0(周波数が $f/2$ )が、クロックパルス入力端子2bからバイトクロックパルスByte Clock1(周波数が $f/2$ )が、それぞれ入力される。すると、そのバイトクロックパルスByte Clock0及びByte Clock1は立ち上がりエッジ検出回路8a、8bに入力され、該立ち上がりエッジ検出回路8a、8bから、バイトクロックパルスByte Clock0の立ち上がりエッジ毎に発生するパルス①と、バイトクロックパルスByte Clock1の立ち上がりエッジ毎に発生するパルス②とが出力され、そのパルス①と②が論理和回路9に入力され、該論理和回路9からバイトクロックパルス③が出力される。このバイトクロックパルス③は図5に示した従来の平行シリアル変換回路におけるバイトクロックパルスに相当するパルスになり、 $n$ 個のフリップフロップF/Fからなる入力部3に駆動用パルスとして印加される。

【0021】しかし、平行データ入力端子1から入力された平行データはその入力部3に取り込まれ、そして、マルチプレクサ4に入力される。そして、PLLシンセサイザ5はそのバイトクロックパルス③を受けるとそれに同期してその $n$ 倍の周波数 $n \cdot f$ を有するビットクロックパルスを発生しそれによりマルチプレクサ4を駆動する。すると、マルチプレクサ4により $n$ ビットの平行データが1ビットずつシリアルに出力される。そのデータレートは $n \cdot f$  (bps 例え

ば1.25Gbps)となる。

【0022】このように、図1に示す平行シリアル変換回路は周波数が $f/2$  (Hz)のクロックパルスを駆動用パルスとして受け、それに基づいて $f$  (Hz)のバイトクロックパルスByte Clock0、Byte Clock1をつくり、更にそれから $f$  (Hz)のバイトクロックパルス③をつくり、これにより入力部3を駆動すると共に、それをPLLシンセサイザ4に印加する。該PLLシンセサイザ4はそのバイトクロックパルス③を受けそれに基づいてその $n$ 倍の周波数 $n \cdot f$ を有するビットクロックパルスをつくり、そして、 $f$  (bps)のデータレートで入力される平行データを、 $n \cdot f$  (bps)のデータレートでシリアルデータに変換して出力するようにする。

【0023】従って、平行シリアル変換回路に入力する駆動用基本クロックパルスは平行データのデータレートの半分の周波数でよく、平行シリアル変換

回路前段の信号処理回路の動作スピードを従来の半分で済む。従って、従来だと、平行シリアル変換回路前段の信号処理用ICとして例えばバイポーラIC或いはGaAs半導体ICを用いざるを得なかった場合でも、本発明の適用によりCMOS ICを用いても差し支えないというケースが多くなる。

【0024】ちなみに、インターリーブの手法を用い、 $f/2$  (bps)の駆動周波数で動作する入力部を2個用い、この2個の入力部2、2にそれぞれ平行データを入力することとし、そして、バイトクロックパルスByte Clock0により一方の入力部2を、バイトクロックパルスByte Clock1により他方の入力部を駆動することとし、マルチプレクサ4により平行データをシフトしてシリアル変換することも考えられ無くはない。このようにすると、本実施の形態と同様に平行シリアル変換回路に入力するべき基本パルスの周波数は $f/2$ で済むからである。しかし、このように平行シリアル変換内でインターリーブの手法を用いると、データのビット幅が2倍になり、フリップフロップの数を2倍にする必要がある等、素子数が増え、消費電力の増大を招き、得策ではない。

【0025】次に、本実施の形態によれば、同じ基本クロックパルスの正相と逆相とを用いるので、その正逆両相のパルスが変化する(立ち上ったり立ち下ったりする)とき発生するノイズが互いに打ち消し合い、従って、その結果としてクロックノイズが非常に小さくなるので、好ましい。

【0026】また、正相バイトクロックパルスByte Clock0と逆相バイトクロックパルスByte Clock1との間にスキューが生じ得るが、PLLシンセサイザの周波数帯域を、変調周波数 $f/2$ にตอบสนองしない帯域に設定することとすれば問題は生じない。図4はそのことを説明するタイミングチャートである。

【0027】即ち、図4に示すようにバイトクロックパルスByte Clock0と、バイトクロックパルスByte Clock1との間にスキューTskewが生じる可能性があるが、そのようなスキューTskewが生じるのは、周期2Tに1回であり、従って、PLLシンセサイザ5を変調周波数 $f/2$ にตอบสนองしない低い周波数帯域に設定することとすれば、PLLシンセサイザの周波数応答帯域を制限しているループフィルタ等でこのような高い変調周波数の位相変調を除去してしまい、スキューによる影響をPLLシンセサイザ5が全く受けないようにできるのである。

【0028】

【発明の効果】本発明平行シリアル変換回路によれば、基本クロックパルスの立ち上がり(或いは立ち下がり)エッジと、その基本クロックパルスの反転パルスの立ち上がり(或いは立ち下がり)エッジをそれぞれ検出し、その検出の度にパルスを発生することができるの

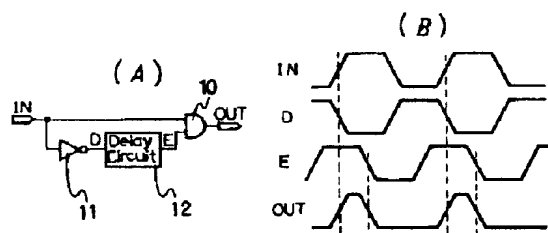
で、そのパルスは基本クロックパルスに同期し、その2倍の周波数を有するパルスとなり、バイトクロックパルスとして入力部の制御に用いることができると共に、ビットクロックパルスの発生元となるパルスとしてパルス発生回路に入力することができる。

【0029】従って、パラレルシリアル変換回路に入力する駆動用基本クロックパルスはパラレルデータのデータレートと半分の周波数でよく、パラレルシリアル変換回路前段の信号処理回路の動作スピードを従来の半分で済む。従って、従来だと、パラレルシリアル変換回路前段の信号処理用ICとして例えばバイポーラIC或いはGaAs半導体ICを用いざるを得なかった場合でも、本発明の適用によりCMOSICを用いても差し支えないというケースが多くなる。

【0030】そして、同じ基本クロックパルスの正相と逆相とを用いるので、その正逆両相のパルスが変化するとき発生するノイズが互いに打ち消し合い、その結果としてクロックノイズが非常に小さくなり、好ましい。

【0031】そして、正相と逆相との間にスキューが生じ得るが、PLLシンセサイザの周波数帯域を、変調周波数 $f/2$ に定応しない帯域に設定することとすれば問題は生じない。というのは、そのようにするとPLLシンセサイザは図4に示すように $2T$  ( $T=1/f$ )の周期で位相変調することになり、PLLシンセサイザの周波数定応帯域を制限しているローパスフィルタ等でこのよ

【図2】



うな高い変調周波数の位相変調を除去してしまい、スキューが生じなくなるからである。

【図面の簡単な説明】

【図1】(A)、(B)は本発明パラレルシリアル変換回路の第1の実施の形態を示すもので、(A)は回路ブロック図、(B)はタイミングチャートである。

【図2】(A)、(B)はパラレルシリアル変換回路の立ち上がりエッジ検出回路の一例を示すもので、(A)は回路図、(B)はタイミングチャートである。

10 【図3】(A)、(B)はパラレルシリアル変換回路の立ち上がりエッジ検出回路の別の例を示すもので、(A)は回路図、(B)はタイミングチャートである。

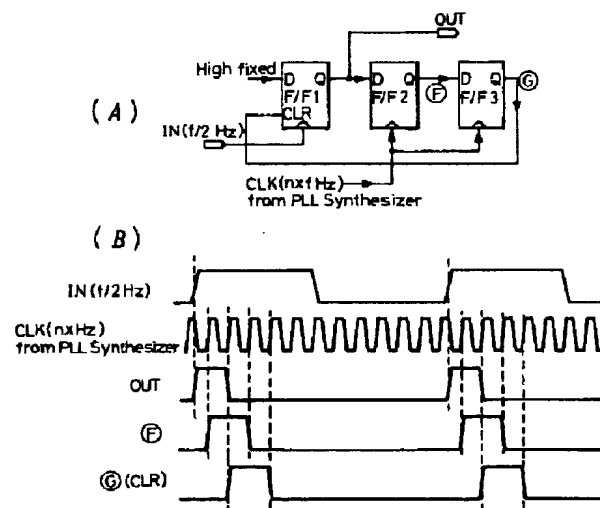
【図4】バイトクロックパルスByte Clock0とByte Clock1との間にスキューがあってもPLLシンセサイザの動作に影響を受けないようにすることができることを説明するためのタイミングチャートである。

【図5】パラレルシリアル変換回路の従来例を示す回路ブロック図である。

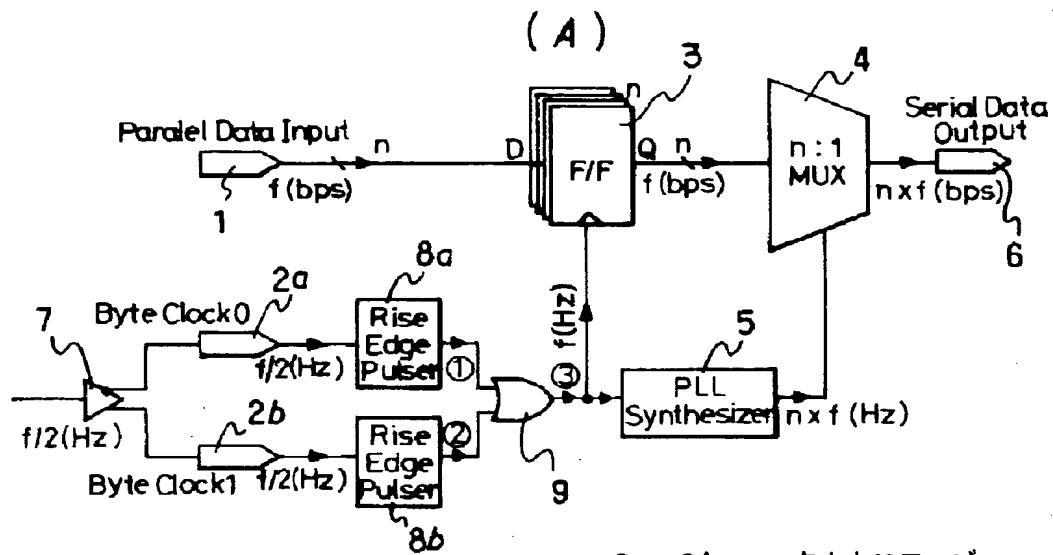
【符号の説明】

20 3・・・入力部、4・・・マルチプレクサ、5・・・PLLシンセサイザ(ビットクロックパルス発生回路)、7・・・バイトクロックパルスByte Clock0とByte Clock1を発生する回路、8a、8b・・・立ち上がりエッジ検出回路、9・・・論理和回路。

【図3】



【図 1】



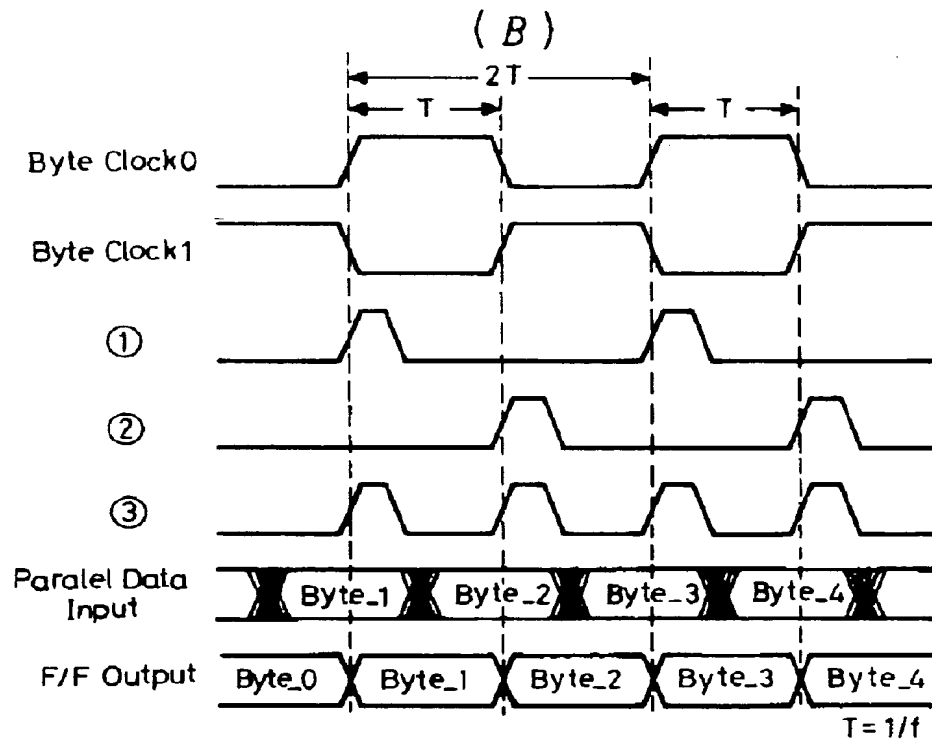
3...入力部

4...マルチプレッサ

7... Byte Clock 0, 1 をつくる回路

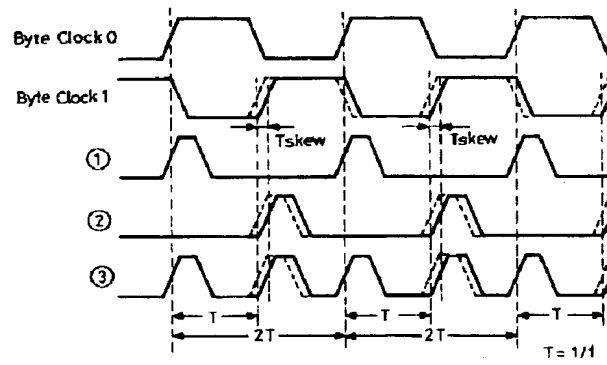
8a, 8b...立ち上りエッジ  
検出回路

9...論理和回路





【図4】



【図5】

